

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-284189

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

H01L 29/786

H01L 21/316

H01L 21/336

(21)Application number : 10-084652

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 30.03.1998

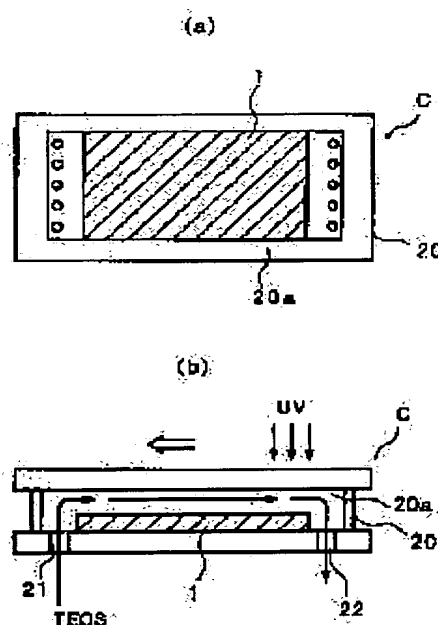
(72)Inventor : ITO TOMOYUKI

**(54) THIN FILM SEMICONDUCTOR DEVICE, ITS MANUFACTURE, ACTIVE MATRIX SUBSTRATE, ITS MANUFACTURE AND LIQUID CRYSTAL DEVICE**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To previously prevent the warp and the deformation of a glass substrate, by applying tetramethoxy silane on the substrate for prescribed thickness, irradiating the applied film of tetramethoxy silane with ultraviolet rays in a room temperature, and forming an SiO<sub>2</sub> film.

**SOLUTION:** A tetramethoxy silane application device C is constituted of a quartz-formed box-type container 20. A glass substrate 1 is stored in the hollow part 20a, and an excimer lamp emitting ultraviolet rays is installed above the box-type container 20 so that it can move in a horizontal direction. Tetramethoxy silane whose original liquid is 100% is filled by a prescribed flow rate through a lead-in port 21, while the face of the substrate 1 stored in the hollow part 20a of the tetramethoxy silane application device C is irradiated with the ultraviolet rays of the excimer lamp, and a tetramethoxy silane application film is formed on the substrate 1. The application layer of tetramethoxy silane causes a light excitation reaction and is made into silicon dioxide. Then, a base SiO<sub>2</sub> film 2 is formed.



## LEGAL STATUS

[Date of request for examination]

24.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-284189

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 7 T

21/316

21/316

G

21/336

29/78

6 1 7 V

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号

特願平10-84652

(22) 出願日

平成10年(1998)3月30日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 伊藤 友幸

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

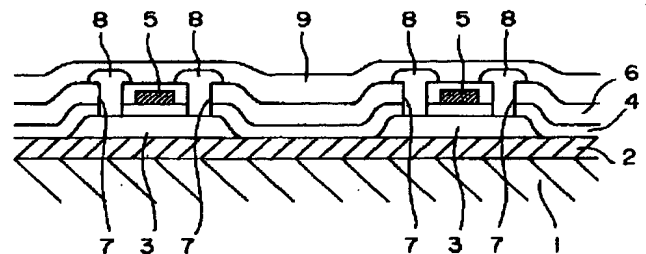
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 薄膜半導体装置およびその製造方法、ならびにアクティブマトリックス基板およびその製造方法、液晶装置

(57) 【要約】 (修正有)

【課題】 室温レベルの低温度条件下でS i O<sub>2</sub>層を形成可能な薄膜半導体装置およびその製造方法、ならびにアクティブマトリックス基板およびその製造方法、液晶装置を提供する。

【解決手段】 基板上にテトラメトキシシランを所定の厚さに塗布する塗布工程と、上記塗布工程によって形成されたテトラメトキシシランの塗布膜を室温にて紫外線を照射する光励起工程とによってS i O<sub>2</sub>膜4を形成するようにした。



## 【特許請求の範囲】

【請求項1】基板上にテトラメトキシシランを所定の厚さに塗布する塗布工程と、  
上記塗布工程によって形成されたテトラメトキシシランの塗布膜を室温にて紫外線を照射する光励起工程と、  
によってSiO<sub>2</sub>膜を形成することを特徴とする薄膜半導体装置の製造方法。

【請求項2】上記光励起工程における紫外線照射は、7 eV以上のエネルギーを有する光源によって行なわれることを特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項3】上記光励起工程における紫外線照射は、177nm以下の波長領域を有するエキシマランプを用いて行なわれることを特徴とする請求項1または請求項2に記載の薄膜半導体装置の製造方法。

【請求項4】基板上に形成されるテトラメトキシシランの塗布層を室温下における紫外線照射によって光励起して二酸化珪素化させたSiO<sub>2</sub>層を有することを特徴とする薄膜半導体装置。

【請求項5】上記基板は、ガラス基板もしくは耐熱性樹脂で形成された基板であることを特徴とする請求項4に記載の薄膜半導体装置。

【請求項6】マトリックス状に形成されてなる複数の画素電極と、該複数の画素電極に接続されてなる薄膜トランジスタと、該薄膜トランジスタに接続されてなる走査線および信号線が形成されてなるアクティブマトリックス基板において、  
前記画素電極、薄膜トランジスタもしくは前記走査線、前記信号線を構成する導電層間、あるいは金属と半導体層間を絶縁する絶縁膜が、テトラメトキシシランの塗布層を室温下における紫外線照射によって光励起して二酸化珪素化させたSiO<sub>2</sub>層であることを特徴とするアクティブマトリックス基板。

【請求項7】マトリックス状に形成されてなる複数の画素電極と、該複数の画素電極に接続されてなる薄膜トランジスタと、該薄膜トランジスタに接続されてなる走査線および信号線が形成されてなるアクティブマトリックス基板の製造方法であって、前記画素電極、薄膜トランジスタもしくは前記走査線、前記信号線を構成する導電層間、あるいは金属と半導体層間にテトラメトキシシランの塗布層を形成し、該テトラメトキシシランの塗布層に室温で紫外線を照射することにより絶縁層としてのSiO<sub>2</sub>層を形成することを特徴とするアクティブマトリックス基板の製造方法。

【請求項8】請求項6に記載のアクティブマトリックス基板と、対向電極を有する基板とが対向して配置されており、前記アクティブマトリックス基板と前記透明基板との間に液晶が封入されてなることを特徴とする液晶装置。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、薄膜半導体装置およびその製造方法、ならびにアクティブマトリックス基板およびその製造方法、液晶装置に関する。

## 【0002】

【従来の技術】薄膜半導体装置の一種としての液晶装置用のアクティブマトリックス基板は、例えばガラス基板等の絶縁基板上に、シリコン(Si)を原材料とする半導体層、絶縁層および導電層から成る薄膜を順次選択的に積層させて、能動素子、受動素子、配線等を形成したものである。

【0003】そして、このアクティブマトリックス基板は、上記能動素子、受動素子等で構成される画素部を、能動素子としてのTFT(Thin Film Transistor: 薄膜トランジスタ)による電圧のオン・オフで液晶を駆動するようにした液晶表示装置に適用されている。

【0004】ところで、上記絶縁層(絶縁膜)としては、薄膜半導体装置の表面を保護するためのパッシベーション膜、多層配線間を絶縁する層間絶縁膜、TFTのゲート電極と半導体層の間を絶縁するゲート絶縁膜などがあり、これらの絶縁層は、その物性(絶縁性、密着性、表面被覆性等)において利点を有するシリコン酸化膜(SiO<sub>2</sub>層)で形成されることが多い。

【0005】従来において、このSiO<sub>2</sub>層の形成方法としては、一般的にCVD(Chemical Vapor Deposition)法、PVD(Physical Vapor Deposition)法やゾルゲル法等が用いられていた。

## 【0006】

【発明が解決しようとする課題】しかしながら、上記従来のSiO<sub>2</sub>層の形成方法としてのCVD法は、SiO<sub>2</sub>層の形成過程で高温度を必要とするという難点があった。

【0007】特に、熱CVD法では1000℃近く、常圧CVD法や減圧CVD法でも400℃程の高温を必要としていた。また、比較的低温でSiO<sub>2</sub>層を形成できるように開発されたプラズマCVD法や光CVD法でさえ200℃以上の温度を必要とするものであった。

【0008】また、PVD法によって形成したSiO<sub>2</sub>膜は、膜の密度が薄かったり、構造欠陥が多かったりするため、SiO<sub>2</sub>層の形成後に結晶を安定化させるために高温のアニールを必要とする場合があった。

【0009】一方、液相反応の一種であるゾルゲル法は、形成するSiO<sub>2</sub>膜の密度が低いという難点があるので、SiO<sub>2</sub>層の緻密化を図るためには500℃以上の高温で焼成する必要があった。

【0010】以上の通り、従来のSiO<sub>2</sub>層の形成方法は何れも、SiO<sub>2</sub>層を形成する過程で高温の温度条件を必要とするものであった。

【0011】このような高温度条件は、基板としてガラス基板を用いてSiO<sub>2</sub>層を形成する場合には、熱応力

の残留等により基板自体に反りや変形等の不具合を生じさせる要因の一つとなるという問題を抱えていた。

【0012】一方で、TFT方式の液晶表示装置等の低廉化を図るべく、高価なガラス基板に代えて、安価な耐熱性樹脂で基板を形成したいという要望があるが、上述のような高温条件に阻まれて実用化されるに到っていないのが現状である。

【0013】本発明は、上述の課題に鑑みて案出されたものであり、その目的とするところは、室温レベルの低温条件下でSiO<sub>2</sub>層を形成可能な薄膜半導体装置およびその製造方法、ならびにアクティブマトリックス基板およびその製造方法、液晶装置を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明に係る薄膜半導体装置の製造方法は、基板上にテトラメトキシシランを所定の厚さに塗布する塗布工程と、上記塗布工程によって形成されたテトラメトキシシランの塗布膜を室温にて紫外線を照射する光励起工程とによってSiO<sub>2</sub>膜を形成するようにしたものである。

【0015】これにより、絶縁膜(SiO<sub>2</sub>膜)は高温条件を要せずに、室温下で形成することができるため、ガラス基板の反りや変形等を未然に防止して薄膜半導体装置の歩留りや信頼性を向上させることができる。

【0016】また、この薄膜半導体装置の製造方法と、a-Si(アモルファス・シリコン)膜の低温形成法とを組み合わせることにより、薄膜半導体装置の製造に係る全工程を低温条件下で行なうことができるので、基板をガラス基板に代えて耐熱樹脂製のものをを用いることが可能となる。

【0017】また、この薄膜半導体装置の製造方法において、上記光励起工程における紫外線照射は、7eV以上のエネルギーを有する光源によって行なうようにするとよい。

【0018】これにより、SiO<sub>2</sub>膜中に存在する不純物を除去することができる。

【0019】具体的には、テトラメトキシシランの塗布膜の中には、不純物としてCH基、水分などが混入している。そこで、7eV以上のエネルギーを有する光源によって紫外線を照射することにより、これらの不純物を消滅させることができる。

【0020】また、上記光励起工程の紫外線照射は、177nm以下の波長領域を有するエキシマランプを用いて行なうようにしてもよい。この場合、エキシマランプはエキシマレーザ等と比べて、一度に広い面積に対して光を照射することができるため、大面積の基板上にSiO<sub>2</sub>膜を容易に形成することができる。

【0021】また、本発明に係る薄膜半導体装置は、基板上に形成されるテトラメトキシシランの塗布層を室温

下における紫外線照射によって光励起して二酸化珪素化させたSiO<sub>2</sub>層を有するものである。

【0022】これにより、SiO<sub>2</sub>層を高温条件を経ずして、室温下で形成することができるため、ガラス基板の反りや変形等を未然に防止して薄膜半導体装置の歩留りや信頼性を向上させることができる。

【0023】さらに、上記基板は、ガラス基板もしくは耐熱性樹脂からなる基板で構成することができるため、特に安価な耐熱性樹脂製の基板を用いるならば、TFT方式の液晶パネル等を低廉化することが期待できる。

【0024】また、本発明に係るアクティブマトリックス基板は、マトリックス状に形成されてなる複数の画素電極と、該複数の画素電極に接続されてなる薄膜トランジスタと、該薄膜トランジスタに接続されてなる走査線および信号線が形成されてなるアクティブマトリックス基板において、前記画素電極、薄膜トランジスタもしくは前記走査線、前記信号線を構成する導電層間、あるいは金属と半導体層間を絶縁する絶縁膜をテトラメトキシシランの塗布層を室温下における紫外線照射によって光励起して二酸化珪素化させたSiO<sub>2</sub>層で形成するようにしたものである。

【0025】これにより、平坦性に優れたSiO<sub>2</sub>膜からなる絶縁膜によって、アクティブマトリックス基板の特性を向上させることができる。

【0026】また、本発明に係るアクティブマトリックス基板の製造方法は、マトリックス状に形成されてなる複数の画素電極と、該複数の画素電極に接続されてなる薄膜トランジスタと、該薄膜トランジスタに接続されてなる走査線および信号線が形成されてなるアクティブマトリックス基板の製造方法であって、前記画素電極、薄膜トランジスタもしくは前記走査線、前記信号線を構成する導電層間、あるいは金属と半導体層間にテトラメトキシシランの塗布層を形成し、該テトラメトキシシランの塗布層に室温で紫外線を照射することにより絶縁層としてのSiO<sub>2</sub>層を形成するようにしたものである。

【0027】これにより、緻密で平坦性に優れたSiO<sub>2</sub>膜からなる絶縁膜を従来よりも低温で形成することができ、しかも特性に優れたアクティブマトリックス基板を製造することができる。

【0028】本発明に係る液晶装置は、前記アクティブマトリックス基板と、対向電極を有する透明基板とが適当な間隔をおいて配置されるとともに、前記アクティブマトリックス基板と前記透明基板との間隙内に所定の液晶が封入されてなるものである。

【0029】これにより、上述のように優れた特性を備えるアクティブマトリックス基板を用いることによって、液晶装置の性能を一層向上させることができる。

【0030】なお、上記SiO<sub>2</sub>層は、薄膜半導体装置における層間絶縁層としての平坦化膜にも用いることができるため、薄膜半導体装置の高密度化や超微細化に伴

う各配線層等の平坦化の要請にも応えることができる。

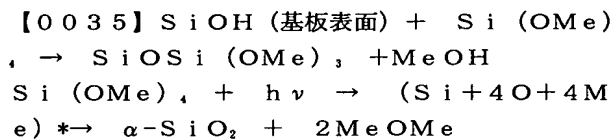
#### 【0031】

【発明の実施の形態】以下、本発明の好適な実施形態を説明する。

【0032】（第1の実施形態）TFTの形成工程において、まず、ガラス基板上に100%原液のテトラメトキシシラン（TMOS）を200nmの厚さで塗布し、室温下でエキシマランプを照射源としてKr<sub>2</sub>エキシマ光（波長146nm）を30分間照射する。

【0033】これにより、TMOSの塗布層は光励起反応を起こして二酸化珪素化し、下地SiO<sub>2</sub>絶縁膜を形成する。

【0034】なお、ここで、TMOS塗布層の光励起反応によるSiO<sub>2</sub>の形成プロセスは以下の通りである。



ここで、Si(OMe)<sub>4</sub>は、テトラメトキシシラン（TMOS）であり、MeはCH<sub>3</sub>、hνはKr<sub>2</sub>エキシマランプから照射されるエネルギー：7eV以上の紫外線である。

【0036】続いて、この下地SiO<sub>2</sub>絶縁膜上にLPCVD法によりa-Si（アモルファス・シリコン）膜を形成し、レーザ光を照射してp-Si（ポリシリコン）膜を形成する。

【0037】次いで、当該p-Si膜上に再度TMOSを120nmの厚さで塗布し、室温下で上記Kr<sub>2</sub>エキシマ光を60分間照射して、ゲートSiO<sub>2</sub>膜を形成する。

【0038】これにより、TFTの素子構造を低温条件で形成することができるので、TFTに熱ストレスが加わることを極力避けることができ、歩留りや信頼性を向上させることができる。

【0039】（第2の実施形態）TFTの形成工程において、SiO<sub>2</sub>層の形成は、TMOSを200nmの厚さで塗布し、室温下でエキシマランプを照射源としてKr<sub>2</sub>エキシマ光（波長146nm）を60分間照射して行なう。

【0040】次いで、上記SiO<sub>2</sub>層の上に、スパッタ法によって、基板温度150℃でa-Si（アモルファス・シリコン）膜を形成する。

【0041】さらに、上記a-Si膜上に対してレーザアニールを施してp-Si（ポリシリコン）膜を形成する。

【0042】また、金属配線は、Cr等の金属をめっき法やスパッタ法等によって形成する。

【0043】これにより、TFTの素子構造を低温条件のみで形成することができるので、TFTに熱ストレスが加わることを極力避けることができ、歩留りや信頼性

を向上させることができる。

【0044】また、ガラス基板に熱応力が残留することがないので、基板自体が反ったり変形することを回避することができる。

【0045】なお、上記のようにTFTの製造に係る全工程を低温条件のみで行なうことができるので、高価なガラス基板に代えてPMMA（ポリメチルメタクリレート）やPET（ポリエチレンテレフタレート）等の耐熱性樹脂で形成した安価な基板を用いることが可能である。

【0046】（第3の実施形態）TFTの形成工程において、スパッタ法によってソース・ドレイン電極を形成したTFT上に、TMOSを400nmの厚さで塗布した。

【0047】これにより、TMOSは電極表面形状の凸部には薄く、凹部には厚く堆積して、半導体装置の表面に平坦な塗布層を形成することができる。

【0048】そして、このTMOSの塗布層に対して、室温下でエキシマランプを照射源としてKr<sub>2</sub>エキシマ光（波長146nm）を60分間照射して行なうことにより、平坦化されたSiO<sub>2</sub>層を形成することができる。

【0049】さらに、同様の工程を繰り返すことにより、厚さ800nmの平坦化したSiO<sub>2</sub>層を得ることが可能である。

【0050】したがって、アクティブマトリックス基板の表面の平坦性を改善することができ、液晶パネル等の特性を高めることができる。

【0051】なお、上記何れの実施形態についても、TMOSの塗布方法としては、スピコート方法や浸漬方法等が適用される。

【0052】なお、光照射の条件として、177nm以下の波長領域の光を照射する必要がある。これは、TMOSの塗布膜から緻密なSiO<sub>2</sub>膜にするために欠かさない条件だからである。また、同様に7eV以上のエネルギーを有する光源を照射源とする必要がある。これは、TMOS内の不純物を消滅させるための必要条件だからである。

#### 【0053】

【実施例】以下に、本発明に係る薄膜半導体装置の一種としての低温p-SiTFTの構造の実施例を図1から図4を参照して説明する。

【0054】図1はガラス基板を用いた低温p-SiTFTの構造の一例を示す断面図、図2はテトラメトキシシラン（TMOS）の塗布装置の一例を示す概略図、図3は本実施例に係る低温p-SiTFTのVg-Id特性を示すグラフ、図4は耐熱樹脂製基板を用いた低温p-SiTFTの構造の一例を示す断面図である。

【0055】図1において、符号1は、例えばシリカガラスや無アルカリガラス等から成る絶縁性基板である。

【0056】この絶縁性基板1上には、TMOSの塗布膜への紫外線照射により光励起して二酸化珪素化させた下地SiO<sub>2</sub>膜2が形成されている。

【0057】上記下地SiO<sub>2</sub>膜2は、例えば図2に示すようなTMOS塗布装置CによってTMOSの塗布膜が形成される。この場合、光照射を塗布工程と同時に進行なうことにより、基板上にSiO<sub>2</sub>巻くを形成することができる。また、TMOSをスピコートにて塗布する方法もある。この場合、塗布後に光照射を行なうことによりSiO<sub>2</sub>膜を形成することができる。

【0058】なお、図2(a)、(b)に示すTMOS塗布装置Cは、例えば石英製の箱型容器20からなり、その中空部20aに前記ガラス基板1が収容されるようになっている。

【0059】箱型容器20の底面にはTMOSを中空部20a内に導入する導入口21と、TMOSを中空部20a内から外部へ排出する排出口22が形成されている。

【0060】なお、箱型容器20の上方には、紫外線を放出するエキシマランプ(図示省略)が水平方向に移動可能に設けられている。

【0061】そして、このTMOS塗布装置Cの中空部20aに基板1が収容され、エキシマランプを基板面に対して照射しつつ、導入口21を介して例えば原液100%のTMOSが例えば1ml/minの流量で中空部20aに注入される。なお、未反応のTMOSは、中空部20a内を流動して排出口22から外部へ排出される。

【0062】これにより、ガラス基板1上には、例えば厚さ200nmのTMOS塗布膜が形成される。

【0063】これにより、TMOSの塗布層は光励起反応を起こして二酸化珪素化され、下地SiO<sub>2</sub>膜2が形成される。

【0064】なお、この際の光励起反応は、前記第1の実施形態の中で示した通りである。次に、下地SiO<sub>2</sub>膜2の上には、例えば、LPCVD法でa-Si膜が300~700Åの厚さで堆積され、このa-Si膜をエキシマレーザ等を用いてレーザアニールすることにより低温p-Si TFTの能動層となるp-Si膜3が形成される。

【0065】p-Si膜3の表面には、SiO<sub>2</sub>膜から成るゲート絶縁膜4が形成されている。

【0066】このゲート絶縁膜4のSiO<sub>2</sub>膜もまた、上述の下地SiO<sub>2</sub>膜2と同様に、TMOSの塗布膜への紫外線照射により光励起して二酸化珪素化させて約600~1500Åの厚さで形成される。

【0067】ゲート絶縁膜4上には、Ta, Mo, Ti, W, Cr, Al等の金属膜から成る導電膜により、ゲート電極5が形成される。このゲート電極5は、例えばスパッタ法を用いて形成される。

【0068】なお、上記ゲート電極5をマスクとした不純物(例えば、リンまたはボロン)のイオン打ち込みにより、能動層となるp-Si膜3には前記ゲート配線5に自己整合されたソース領域およびドレイン領域となる高濃度不純物領域が形成される。また、この際、不純物が導入されなかった部分がチャネル領域となる。

【0069】6は層間絶縁膜としてのSiO<sub>2</sub>膜であり、上記下地SiO<sub>2</sub>膜2、ゲート絶縁膜4と同様に、TMOSの塗布膜への紫外線照射により光励起して二酸化珪素化させて約3000~15000Åの厚さで形成される。

【0070】前記p-Si膜3のドレイン領域ないしはソース領域には、ゲート絶縁膜4と層間絶縁膜6に形成されるコンタクトホール7を介してインジウム錫酸化物(ITO)、Al等の導電膜から成るソース・ドレイン電極8が形成されている。前記コンタクトホール7は例えばドライエッチングにより形成される。

【0071】さらに、層間絶縁膜6およびソース・ドレイン電極8を覆うようにパッシベーション膜9としてのSiO<sub>2</sub>膜が形成される。

【0072】このパッシベーション膜9としてのSiO<sub>2</sub>膜は、上記下地SiO<sub>2</sub>膜2、ゲート絶縁膜4および層間絶縁膜6と同様に、TMOSの塗布膜への紫外線照射により光励起して二酸化珪素化させて約3000~15000Åの厚さで形成される。

【0073】このような構造の低温p-Si TFTは、上述の通り、TMOSの塗布膜を紫外線照射により光励起して二酸化珪素化させることによって、下地SiO<sub>2</sub>膜2、ゲート絶縁膜4、層間絶縁膜6およびパッシベーション膜9を室温下で形成することができるので、TFTに熱ストレスが加わることを極力避けることができ、歩留りや信頼性を向上させることができる。

【0074】また、ガラス基板1に熱応力が残留することを防止することができるので、基板自体が反ったり変形することを回避することができる。

【0075】また、この低温p-Si TFTについて、Vg-Id特性を測定したところ図3のグラフに示すような結果を得た。

【0076】図3のグラフにおいて、実線aはVds(ドレイン・ソース間電圧)を4Vとした場合、実線bはVdsを8Vとした場合をそれぞれ示す。

【0077】本発明に係る薄膜半導体装置およびその製造方法によれば、TMOSの塗布膜を紫外線照射により光励起して二酸化珪素化させることによってSiO<sub>2</sub>膜を形成することにより低温p-Si TFTの性能を向上させることができ、この低温p-Si TFTをアクティブマトリックス基板に適用することにより液晶装置を高性能化させることが期待できる。なお、液晶装置はアクティブマトリックス基板と対向基板との間に液晶を挟持して構成されてなる。対向基板には全面もしくはストラ

イブ状に電極が形成されている。このような液晶装置を電子機器として用いることにより、携帯電話、携帯型のパソコン、時計などに適用することができる。

【0078】次に、図4を参照して、耐熱樹脂製基板を用いた低温p-Si TFTの構造について説明する。

【0079】図4において、符号10は耐熱樹脂製基板である。耐熱樹脂としては、PMMA（ポリメチルメタクリレート）やPET（ポリエチレンテレフタレート）等を用いることができる。

【0080】耐熱樹脂製基板10上には、TMOSの塗布膜への紫外線照射により光励起して二酸化珪素化させた下地SiO<sub>2</sub>膜11が形成されている。

【0081】この下地SiO<sub>2</sub>膜11は、上記実施例と同様に図2に示すTMOS塗布装置Cを用いて行なうことができる。

【0082】下地SiO<sub>2</sub>膜11の上には、例えば、LPCVD法でa-Si膜が300～700Åの厚さで堆積され、このa-Si膜をエキシマレーザ等を用いてレーザアニールすることにより低温p-Si TFTの能動層となるp-Si膜12が形成される。

【0083】p-Si膜12の表面には、SiO<sub>2</sub>膜から成るゲート絶縁膜13が形成されている。このゲート絶縁膜13のSiO<sub>2</sub>膜もまた、下地SiO<sub>2</sub>膜11と同様に、TMOSの塗布膜への紫外線照射により光励起して二酸化珪素化させて約600～1500Åの厚さで形成される。

【0084】ゲート絶縁膜13上には、Ta, Mo, Ti, W, Cr, Al等の金属膜から成る導電膜により、ゲート電極14が形成される。このゲート電極14は、例えばスパッタ法を用いて形成される。

【0085】なお、上記ゲート電極14をマスクとした不純物（例えば、リンまたはボロン）のイオン打ち込みにより、能動層となるp-Si膜12には前記ゲート配線5に自己整合されたソース領域およびドレイン領域となる高濃度不純物領域が形成され、不純物が導入されなかった部分がチャンネル領域となる。

【0086】15は層間絶縁膜としてのSiO<sub>2</sub>膜であり、上記下地SiO<sub>2</sub>膜11、ゲート絶縁膜13と同様に、TMOSの塗布膜への紫外線照射により光励起して二酸化珪素化させて約3000～15000Åの厚さで形成される。

【0087】前記p-Si膜12のドレイン領域ないしはソース領域には、ゲート絶縁膜4と層間絶縁膜6に形成されるコンタクトホール16を介してインジウム錫酸化物（ITO）、Al等の導電膜から成るソース・ドレイン電極17がスパッタ法で形成されている。なお、コンタクトホール16は例えばドライエッチングにより形\*

\*成される。

【0088】このように、発明に係る薄膜半導体装置およびその製造方法によれば、TMOSの塗布膜を紫外線照射により光励起して二酸化珪素化させることによって室温下でSiO<sub>2</sub>膜を形成することができるので、従来のCVD法やゾルゲル法のように高温処理の必要性から困難であった耐熱樹脂製基板への低温p-Si TFTの形成が可能となる。したがって、高価なガラス基板に代えてPMMA（ポリメチルメタクリレート）やPET（ポリエチレンテレフタレート）等の耐熱性樹脂で形成した安価な基板を用いることにより、TFT方式の液晶パネル等を低廉化することが期待できる。

【0089】なお、TMOSの塗布方法としては、本実施例のようなTMOS塗布装置を用いる場合に限らず、スピコート方法や浸漬方法等を適用するようにしてもよい。

#### 【図面の簡単な説明】

【図1】本発明に係る薄膜半導体装置の一種としてのガラス基板を用いた低温p-Si TFTの構造の一例を示す断面図である。

【図2】テトラメトキシシランの塗布装置の一例を示す概略図である。

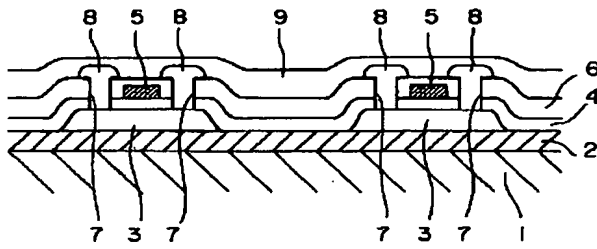
【図3】本実施例に係る低温p-Si TFTのV<sub>g</sub>-I<sub>d</sub>特性を示すグラフである。

【図4】本発明に係る薄膜半導体装置の一種としての耐熱樹脂製基板を用いた低温p-Si TFTの構造の一例を示す断面図である。

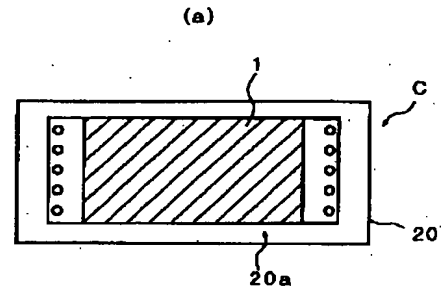
#### 【符号の説明】

- |    |                            |
|----|----------------------------|
| 1  | ガラス基板                      |
| 2  | 下地SiO <sub>2</sub> 膜       |
| 3  | p-Si膜                      |
| 4  | ゲート絶縁膜（SiO <sub>2</sub> 膜） |
| 5  | ゲート電極                      |
| 6  | 層間絶縁膜（SiO <sub>2</sub> 膜）  |
| 7  | コンタクトホール                   |
| 8  | ソース・ドレイン電極                 |
| 9  | パッシベーション膜                  |
| C  | TMOS塗布装置                   |
| 10 | ガラス基板                      |
| 11 | 下地SiO <sub>2</sub> 膜       |
| 12 | p-Si膜                      |
| 13 | ゲート絶縁膜（SiO <sub>2</sub> 膜） |
| 14 | ゲート電極                      |
| 15 | 層間絶縁膜（SiO <sub>2</sub> 膜）  |
| 16 | コンタクトホール                   |
| 17 | ソース・ドレイン電極                 |

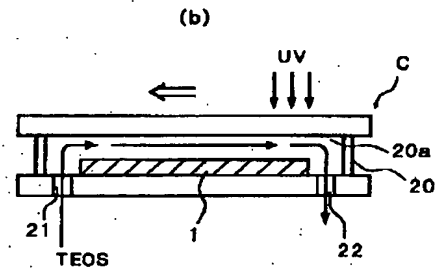
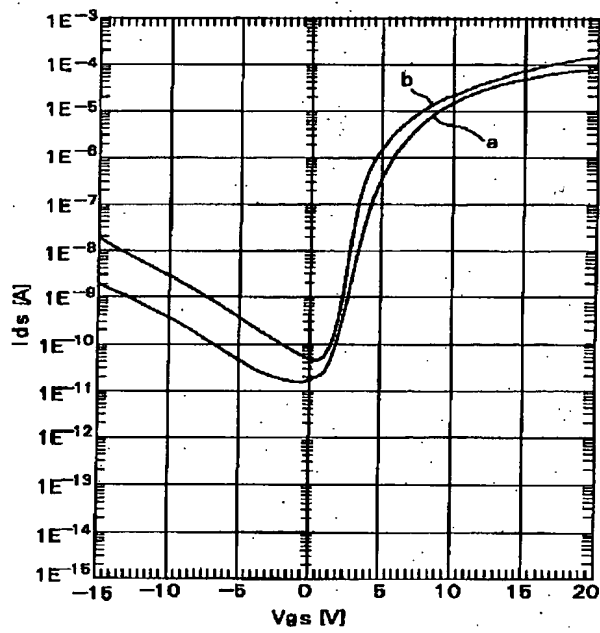
【図 1】



【図 2】



【図 3】



【図 4】

